

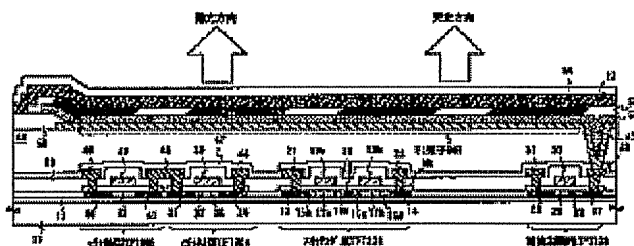
EL DISPLAY DEVICE AND ELECTRONIC DEVICE

Patent number: JP2001076868
Publication date: 2001-03-23
Inventor: YAMAZAKI SHUNPEI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: **H05B33/08; G09F9/00; G09F9/30; G09G3/20; G09G3/30; H01L27/32; H01L51/50; H05B33/14; H05B33/02; G09F9/00; G09F9/30; G09G3/20; G09G3/30; H01L27/28; H01L51/50; H05B33/14; (IPC1-7): H05B33/08; G09F9/00; G09G3/20; H05B33/14**
- european:
Application number: JP20000194774 20000628
Priority number(s): JP20000194774 20000628; JP19990182590 19990628

Report a data error here

Abstract of JP2001076868

PROBLEM TO BE SOLVED: To reduce size and a manufacturing cost by forming a part or the whole of a driving circuit inside a picture element part. **SOLUTION:** In a picture element part, a CMOS circuit formed of an (n) channel type TFT 204 and a (p) channel type TFT 205 is formed under a picture element electrode 49, and various elements, a driving circuit or a signal processing part are formed with this CMOS circuit as a basic unit. The driving circuit is a data signal driving circuit and a gate signal driving circuit. With this constitution, since the elements and the driving circuit are formed of the TFT formed under the picture element electrode 49 in respective picture elements and are formed inside the picture element part as a whole, a dead space in the picture element part can be effectively used. When forming a switching TFT 201 and a current control TFT 202 of the (n) channel type TFT, an operation speed is quickened, and since the size can be reduced, a dead space under the picture element electrode 49 can be more effectively used.



Data supplied from the esp@cenet database - Worldwide

Family list

16 family members for: JP2001076868

Derived from 12 applications

- 1 **Photoelectric display device and electronic device**
Inventor: SHUNPEI YAMAZAKI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: G09G3/32A; H01L27/32M2 **IPC:** H01L27/32; H01L51/52; H01L27/28 (+4)
Publication info: CN1203556C C - 2005-05-25
CN1279518 A - 2001-01-10
- 2 **EL display device and electronic device**
Inventor: SHUNPEI YAMAZAKI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: G09G3/32A; H01L27/32M2 **IPC:** H01L27/32; H01L51/52; H01L27/28 (+3)
Publication info: CN1607872 A - 2005-04-20
- 3 **EL display device and electronic device**
Inventor: **Applicant:**
EC: G09G3/32A; H01L27/32M2 **IPC:** H01L27/15; H01L27/32; H01L51/52 (+3)
Publication info: CN1967858 A - 2007-05-23
- 4 **EL display device and electronic device**
Inventor: YAMAZAKI SHUNPEI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: G09G3/32A; H01L27/32M2 **IPC:** H01L27/15; G09G3/32; H01L27/32 (+6)
Publication info: EP1065723 A2 - 2001-01-03
EP1065723 A3 - 2006-05-24
- 5 **EL DISPLAY DEVICE AND ELECTRONIC DEVICE**
Inventor: YAMAZAKI SHUNPEI **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** H05B33/08; G09F9/00; G09F9/30 (+17)
Publication info: JP2001076868 A - 2001-03-23
- 6 **EL DISPLAY DEVICE AND ELECTRONIC DEVICE**
Inventor: YAMAZAKI SHUNPEI **Applicant:** SEMICONDUCTOR ENERGY LAB K K
EC: G09G3/32A; H01L27/32M2 **IPC:** H01L27/32; H01L51/52; H01L27/28 (+2)
Publication info: KR20010029845 A - 2001-04-16
- 7 **EL display device and electronic device**
Inventor: YAMAZAKI SHUNPEI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: G09G3/32A; H01L27/32M2 **IPC:** H01L27/32; H01L51/52; H01L27/28 (+2)
Publication info: TW515109B B - 2002-12-21
- 8 **EL display device and electronic device**
Inventor: YAMAZAKI SHUNPEI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: G09G3/32A; H01L27/32M2 **IPC:** H01L27/32; H01L51/52; H01L27/28 (+2)
Publication info: TW543206B B - 2003-07-21
- 9 **EL display device and electric device**
Inventor: YAMAZAKI SHUNPEI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (US)
EC: G09G3/32A; H01L27/32M2 **IPC:** H01L27/32; H01L51/52; H01L27/28 (+2)
Publication info: US6380687 B1 - 2002-04-30
- 10 **EL display device and electronic device**
Inventor: YAMAZAKI SHUNPEI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (US)
EC: H01L27/32 **IPC:** H01L27/32; H01L27/28; (IPC1-7): G09G3/
Publication info: US6552496 B2 - 2003-04-22
US2002093290 A1 - 2002-07-18
- 11 **EL display device and electronic device**
Inventor: YAMAZAKI SHUNPEI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (US)
EC: H01L27/32 **IPC:** H01L27/32; H01L27/28; (IPC1-7): G09G3/
Publication info: US6774573 B2 - 2004-08-10
US2003214246 A1 - 2003-11-20

12 EL display device and electronic device

Inventor: YAMAZAKI SHUNPEI (JP)

Applicant: SEMICONDUCTOR ENERGY LAB (US)

EC: H01L27/32

IPC: *H01L27/32*; *H01L27/28*; (IPC1-7):
H01L31/109

Publication info: **US2005006667 A1** - 2005-01-13

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001－76868

(P 2 0 0 1 － 7 6 8 6 8 A)

(43) 公開日 平成13年 3 月23日 (2001. 3. 23)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)		
H05B 33/08		H05B 33/08			
G09F 9/00	348	G09F 9/00	348	C	
9/30	338	9/30	338		
	365		365	Z	
G09G 3/20	622	G09G 3/20	622	E	

審査請求 未請求 請求項の数 7 O L (全19頁) 最終頁に続く

(21) 出願番号	特願2000－194774 (P 2000－194774)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成12年 6 月28日 (2000. 6. 28)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
(31) 優先権主張番号	特願平11－182590		
(32) 優先日	平成11年 6 月28日 (1999. 6. 28)		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 E L 表示装置及び電子装置

(57) 【要約】

【課題】 E L 表示装置及びそれを具備する電子装置のさらなる小型化及び製造コストの低減を課題とする。

【解決手段】 画素部と駆動回路とを同一基板上に有する上面発光型の E L 表示装置において、画素部の内部に形成されるデッドスペース (画素電極の下方) に駆動回路を形成する。これにより駆動回路の専有する領域が画素部の内部に設けられるので従来と同じ画面サイズを得る場合に、1 枚の基板からより多くのパネルを切り出すことができる。

【特許請求の範囲】

【請求項 1】同一基板上に画素部と駆動回路とが形成された E L 表示装置であって、前記画素部の内部に前記駆動回路の一部又は全部が形成されていることを特徴とする E L 表示装置。

【請求項 2】同一基板上に画素部と駆動回路とが形成された E L 表示装置であって、前記駆動回路の一部又は全部は、前記画素部に形成された画素電極の下に形成されていることを特徴とする E L 表示装置。

【請求項 3】同一基板上に画素部、駆動回路及び信号処理部とが形成された E L 表示装置であって、前記画素部の内部に前記駆動回路の一部若しくは全部又は前記信号処理部の一部若しくは全部が形成されていることを特徴とする E L 表示装置。

【請求項 4】同一基板上に画素部、駆動回路及び信号処理部とが形成された E L 表示装置であって、前記駆動回路の一部若しくは全部又は前記信号処理部の一部若しくは全部は、前記画素部に形成された画素電極の下に形成されていることを特徴とする E L 表示装置。

【請求項 5】請求項 1 乃至請求項 4 のいずれか一において、前記画素電極は E L 素子の陰極と接続されていることを特徴とする E L 表示装置。

【請求項 6】請求項 1 乃至請求項 4 のいずれか一において、前記駆動回路とは少なくともシフトレジスタを含むことを特徴とする E L 表示装置。

【請求項 7】請求項 1 乃至請求項 6 のいずれか一に記載された E L 表示装置を備えたことを特徴とする電子装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成された E L（エレクトロルミネッセンス）表示装置及びその E L 表示装置を表示ディスプレイとして有する電子装置（電子デバイス）に関する。

【 0 0 0 2 】

【従来の技術】近年、基板上に T F T を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いた T F T は、従来のアモルファスシリコン膜を用いた T F T よりも電界効果移動度（ μ_{FE} ）が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【 0 0 0 3 】このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られるとして注目されている。

【 0 0 0 4 】同一基板上に画素部とその画素部を駆動する駆動回路とを有するモノリシック型表示装置では駆動回路が画素部の周辺に形成されるため、画素部のみを基板上に形成するよりも駆動回路の分だけ必要とする基板サイズが大きくなる。従って、駆動回路の専有面積を如何に小さくするかで 1 枚の基板から切り出せる表示装置の枚数が変わってくる。

【 0 0 0 5 】特に、画素部が対角 1 インチ以下の表示装置になると非常に小さな基板上に駆動回路を搭載しなくてはならず、駆動回路の専有面積が基板サイズに大きく影響を与えてしまう。しかしながら、画素部の大小に拘わらず駆動回路の機能は同じであり、同一機能の回路をより狭い範囲に形成するためには、T F T 特性の向上や微細化技術等、様々な要素が律速点となりうる。

【 0 0 0 6 】

【発明が解決しようとする課題】本発明は上記問題点を鑑みてなされたものであり、アクティブマトリクス型 E L 表示装置のさらなる小型化及び製造コストの低減を課題とする。そして、そのようなアクティブマトリクス型 E L 表示装置を表示用ディスプレイとして具備する電子装置（電子デバイス）のさらなる小型化及び製造コストの低減を課題とする。

【 0 0 0 7 】

【課題を解決するための手段】アクティブマトリクス型 E L 表示装置では、一画素毎に E L 素子が設けられている。ここでいう E L 素子は、陰極、E L 層及び陽極でなる発光素子である。この E L 素子の出力光（以下、E L 光という）は基板側か基板と反対側かのどちらかに出力される。この様子を図 6 に示す。

【 0 0 0 8 】図 6（A）の構造は、E L 素子が下から順に、I T O（Indium Tin Oxide）でなる画素電極（陽極）／E L 層／M g A g 電極（陰極）で形成されている。また、陰極自体は薄いので陰極の機能を保護すると同時に補助するための保護電極（ここではアルミ電極）を設けている。この場合、E L 光は T F T が形成された基板側に出力される。従って、画素電極の全面積のうち、その下に T F T や配線の無い部分が有効発光領域となる。

【 0 0 0 9 】一方、図 6（B）の構造は、E L 素子が下から順に、アルミ膜でなる画素電極／M g A g 電極（陰極）／E L 層／I T O 電極（陽極）で形成されている。この場合、E L 光は画素電極を透過しないので全て基板とは反対側（E L 表示装置の上面側）に出力される。従って、画素電極の全面積が有効発光領域となる。

【 0 0 1 0 】以上のように、図 6（A）の場合には画素電極の下に極力素子や配線を形成しないことが重要である。ところが図 6（B）の場合には、画素電極の下にどのようなものが形成されていても関係なく、完全なデッドスペースとなっている。

【 0 0 1 1 】本発明の主旨は、図 6（B）のような方式

で EL 素子を発光させるアクティブマトリクス型 EL 表示装置において、画素電極の下デッドスペースを有効に活用することを目的とする。具体的には、画素部においてマトリクス状に配列された各画素の画素電極の下に、画素部を駆動するための駆動回路を形成する。さらには、駆動回路だけでなくその他の信号処理部（分周波回路、昇圧回路、 γ 補正回路、メモリ若しくは差動増幅回路など）をも形成しうる。

【0012】即ち、従来、画素部の周辺に設けられていた回路又は素子を、画素部内のデッドスペースに配置し、基板面積の有効活用を図るものである。なお、画素部の周辺に設けられていた素子としては ESD（静電破壊）対策用の保護素子なども含むものとする。

【0013】また、本発明はアクティブマトリクス型 EL 表示装置のみに適用されるものではなく、同一基板上に駆動回路を有し、画素部が単純マトリクス型であるような EL 表示装置にも適用できる。即ち、画素部において EL 光が基板とは反対側に出力される EL 表示装置であって、且つ、基板上に他の回路又は素子が形成される場合において、本発明は有効である。

【0014】

【発明の実施の形態】まず本発明のアクティブマトリクス型 EL 表示装置について、断面構造の概略を図 1 に示す。図 1 において、11 は基板、12 は下地となる絶縁膜（以下、下地膜という）である。基板 11 としてはガラス基板、石英基板、結晶化ガラス基板、セラミックス基板、シリコン基板、金属基板又はプラスチック基板を用いることができる。

【0015】また、下地膜 12 は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜 12 としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ SiO_xN_y ：x、y は任意の整数、で示される）など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【0016】201 はスイッチング用 TFT、202 は電流制御用 TFT であり、ここではどちらも n チャネル型 TFT で形成されている。n チャネル型 TFT の電界効果移動度は p チャネル型 TFT の電界効果移動度よりも大きいので、動作速度が早く大電流を流しやすい。また、同じ電流量を流すにも TFT サイズは n チャネル型 TFT の方が小さくできる。そのため、n チャネル型 TFT を電流制御用 TFT として用いた方が画素電極の下デッドスペースをより有効に活用することができる。

【0017】ただし、本発明において、スイッチング用 TFT と電流制御用 TFT を n チャネル型 TFT に限定する必要はなく、両方又はどちらか片方に p チャネル型 TFT を用いることも可能である。

【0018】スイッチング用 TFT 201 は、ソース領域 13、ドレイン領域 14、LDD 領域 15a~15d、分離領域 16 及びチャネル形成領域 17a、17b を含む活性層、ゲート絶縁膜 18、ゲート電極 19a、19b、第 1 層間絶縁膜 20、ソース配線 21 並びにドレイン配線 22 を有して形成される。なお、ゲート絶縁膜 18 又は第 1 層間絶縁膜 20 は基板上の全 TFT に共通であっても良いし、回路又は素子に応じて異ならせても良い。

【0019】また、図 2 に示すスイッチング用 TFT 201 はゲート電極 19a、19b が電気的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

【0020】マルチゲート構造は TFT のオフ電流を低減する上で極めて有効であり、スイッチング用 TFT のオフ電流を十分に低くすれば、スイッチング用 TFT のドレインにコンデンサ（電流制御用 TFT のゲート電圧を維持するためのコンデンサ）を設けない構成とすることも可能である。その結果、画素内のデッドスペースのさらなる有効活用が可能となる。

【0021】さらに、スイッチング用 TFT 201 においては、LDD 領域 15a~15d は、ゲート絶縁膜 18 を介してゲート電極 19a、19b と重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD 領域 15a~15d の長さ（幅）は 0.5~3.5 μm 、代表的には 2.0~2.5 μm とすれば良い。

【0022】なお、チャネル形成領域と LDD 領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層であり、ゲート電圧が印加されない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域 16（ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

【0023】次に、電流制御用 TFT 202 は、ソース領域 26、ドレイン領域 27、LDD 領域 28 及びチャネル形成領域 29 を含む活性層、ゲート絶縁膜 18、ゲート電極 30、第 1 層間絶縁膜 20、ソース配線 31 並びにドレイン配線 32 を有して形成される。なお、ゲート電極 30 はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0024】スイッチング用 TFT 201 のドレインは電流制御用 TFT 202 のゲートに接続されている。具体的には電流制御用 TFT 202 のゲート電極 30 はスイッチング用 TFT 201 のドレイン領域 14 とドレイン配線（接続配線とも言える）22 を介して電気的に接

続されている。また、ソース配線31は所定の電圧を供給する電流供給線に接続される。

【0025】電流制御用TFT202はEL素子203に注入される電流量を制御するための素子であるが、EL素子の劣化を考慮するとあまり多くの電流を流すことは好ましくない。そのため、電流制御用TFT202に過剰な電流が流れないように、チャネル長(L)は長めに設計することが好ましい。望ましくは一画素あたり0.5~2 μ A(好ましくは1~1.5 μ A)となるようにする。

【0026】以上のことを踏まえると、図9に示すように、スイッチング用TFTのチャネル長をL1(但しL1=L1a+L1b)、チャネル幅をW1とし、電流制御用TFTのチャネル長をL2、チャネル幅をW2とした時、W1は0.1~5 μ m(代表的には0.5~2 μ m)、W2は0.5~10 μ m(代表的には2~5 μ m)とするのが好ましい。また、L1は0.2~18 μ m(代表的には2~15 μ m)、L2は1~50 μ m(代表的には10~30 μ m)とするのが好ましい。但し、本発明は以上の数値に限定されるものではない。

【0027】また、図1に示したEL表示装置は、電流制御用TFT202において、ドレイン領域27とチャネル形成領域29との間にLDD領域28が設けられ、且つ、LDD領域28がゲート絶縁膜18を挟んでゲート電極30に重なっている領域と重なっていない領域とを有する点にも特徴がある。

【0028】電流制御用TFT202は、EL素子203を発光させるために比較的多くの電流を流すため、ホットキャリア注入による劣化対策を講じておくことが望ましい。また、黒色を表示する際は、電流制御用TFT202をオフ状態にしておくが、その際、オフ電流が高いとききれいな黒色表示ができなくなり、コントラストの低下等を招く。従って、オフ電流も抑える必要がある。

【0029】ホットキャリア注入による劣化に関しては、ゲート電極に対してLDD領域が重なった構造が非常に効果的であることが知られている。しかしながら、LDD領域全体を重ねてしまうとオフ電流が増加してしまうため、本出願人は上記構造に加えてゲート電極に重ならないLDD領域を直列に設けるという新規な構造によって、ホットキャリア対策とオフ電流対策とを同時に解決している。

【0030】この時、ゲート電極に重なったLDD領域の長さは0.1~3 μ m(好ましくは0.3~1.5 μ m)にすれば良い。長すぎると寄生容量を大きくしてしまい、短すぎるとホットキャリアを防止する効果が弱くなってしまふ。また、ゲート電極に重ならないLDD領域の長さは1.0~3.5 μ m(好ましくは1.5~2.0 μ m)にすれば良い。長すぎると十分な電流を流せなくなり、短すぎるとオフ電流を低減する効果が弱くなる。

【0031】また、上記構造においてゲート電極とLDD領域とが重なった領域では寄生容量が形成されてしまうため、ソース領域26とチャネル形成領域29の間には設けない方が好ましい。電流制御用TFTはキャリア(ここでは電子)の流れる方向が常に同一であるので、ドレイン領域側のみにLDD領域を設けておけば十分である。

【0032】但し、電流制御用TFT202の駆動電圧(ソース領域とドレイン領域との間にかかる電圧)が10V以下となるとホットキャリア注入は殆ど問題にならなくなってくるため、LDD領域28を省略することも可能である。その場合、活性層はソース領域26、ドレイン領域27およびチャネル形成領域29からなる。

【0033】また、流しうる電流量を多くするという観点から見れば、電流制御用TFT202の活性層(特にチャネル形成領域)の膜厚を厚くする(好ましくは50~100nm、さらに好ましくは60~80nm)ことも有効である。逆に、スイッチング用TFT201の場合はオフ電流を小さくするという観点から見れば、活性層(特にチャネル形成領域)の膜厚を薄くする(好ましくは20~50nm、さらに好ましくは25~40nm)ことも有効である。

【0034】以上は画素内に設けられたTFTの構造について説明したが、このとき同じ画素内には同時に駆動回路(厳密には駆動回路の一部)も形成される。図1には駆動回路を形成する基本単位となるCMOS回路が図示されている。

【0035】図1においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有するTFTをCMOS回路のnチャネル型TFT204として用いる。なお、ここでのいう駆動回路は、データ信号駆動回路(シフトレジスタ、レベルシフト、バッファ、ラッチ、D/Aコンバータ、サンプリング回路を含む)、ゲート信号駆動回路(シフトレジスタ、レベルシフト、バッファを含む)を指す。勿論、他の信号処理回路(分周波回路、昇圧回路、 γ 補正回路、メモリ若しくは差動増幅回路など)を形成することも可能である。

【0036】nチャネル型204の活性層は、ソース領域35、ドレイン領域36、LDD領域37及びチャネル形成領域38を含み、LDD領域37はゲート絶縁膜18を挟んでゲート電極39と重なっている。

【0037】ドレイン領域側のみにLDD領域を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT204はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方が良い。従って、LDD領域37は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0038】また、CMOS回路のpチャネル型TFT

205は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。従って活性層はソース領域40、ドレイン領域41及びチャネル形成領域42を含み、その上にはゲート絶縁膜18とゲート電極43が設けられる。勿論、nチャネル型TFT204と同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0039】また、nチャネル型TFT204及びpチャネル型TFT205はそれぞれ第1層間絶縁膜20に覆われ、ソース配線44、45が形成される。また、ドレイン配線46によって両者は電氣的に接続される。

【0040】次に、47は第1パッシベーション膜であり、膜厚は10nm~1μm(好ましくは200~500nm)とすれば良い。材料としては、珪素を含む絶縁膜(特に窒化酸化珪素膜又は窒化珪素膜が好ましい)を用いることができる。このパッシベーション膜47は形成されたTFTをアルカリ金属や水分から保護する役割をもつ。最終的にTFTの上方に設けられるEL層にはナトリウム等のアルカリ金属が含まれている。即ち、第1パッシベーション膜47はこれらのアルカリ金属(可動イオン)をTFT側に侵入させない保護層としても働く。

【0041】また、48は第2層間絶縁膜であり、TFTによってできる段差の平坦化を行う平坦化膜としての機能を有する。第2層間絶縁膜48としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL層は凹凸に非常に敏感であるため、TFTによる段差は第2層間絶縁膜で殆ど吸収してしまうことが望ましい。また、ゲート配線やデータ配線とEL素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は0.5~5μm(好ましくは1.5~2.5μm)が好ましい。

【0042】また、49は遮光性の導電膜でなる画素電極であり、第2層間絶縁膜48及び第1パッシベーション膜47にコンタクトホール(開孔)を開けた後、形成された開孔部において電流制御用TFT202のドレイン配線32に接続されるように形成される。なお、図1のように画素電極49とドレイン領域27とが直接接続されないようにしておくと、EL層のアルカリ金属がたとえ画素電極中を拡散したとしても、画素電極を経由して活性層へ侵入するようなことがない。

【0043】画素電極49の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第3層間絶縁膜50が0.3~1μmの厚さに設けられる。この第3層間絶縁膜50は画素電極49の上にエッチングにより開口部が設けられており、その開口部の縁はテーパ形状となるようにエッチングされる。テーパの角度は10~60

°(好ましくは30~50°)とすると良い。

【0044】第3層間絶縁膜50の上には陰極51が設けられる。陰極51としては、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=10:1で混合した材料)でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

【0045】陰極51の上にはEL層52が設けられる。このとき、EL層52は陰極51よりも大きいパターンとなるように形成し、陰極51が完全にEL層52で覆われた状態とすることが必要である。こうすることで陰極51が後に形成する陽極と短絡することを防ぐことができる。

【0046】また、陰極51とEL層52はマルチチャンバー方式(クラスターツール方式ともいう)の真空蒸着機を用いて大気解放しないで連続的に形成することが望ましい。これはEL層52が水分を含んで劣化することを避けるためである。陰極51及びEL層52の形成方法に関しては公知の技術を用いれば良い。

【0047】例えば、まず第1マスクで全画素に対応する陰極51を形成し、次いで第2マスクで赤色に対応する画素に赤色発光のEL層を形成する。そして、第2マスクを精密に制御しながらして順次緑色発光のEL層、青色発光のEL層を形成すればよい。なお、RGBに対応する画素がストライプ状に並んでいる時はこのような方法で第2マスクをずらすだけで良いが、いわゆるデルタ配置と呼ばれる画素構造を実現するには、緑色発光のEL層用に第3マスク、青色発光のEL層用に第4マスクを別途用いても構わない。

【0048】また、上記説明はマスクを用いた蒸着法により各色に発光するEL層を形成する例を示したが、インクジェット法、スクリーン印刷法またはイオンプレーティング法を用いても良い。また、画素を囲むようにリブを形成して、各色のEL層を区分けしても良い。

【0049】さらに、上記説明は赤、緑、青の三原色を用いてカラー表示を行う例を示したが、単色の発光を示すEL表示装置であれば、赤、緑または青のいずれかの発光を示すEL層を全面的に形成しても良い。勿論、白色発光のEL層を形成してモノクロ表示のEL表示装置とすることも可能である。

【0050】EL層51は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率が良いので好ましい。一般的には画素電極上に正孔注入層/正孔輸送層/発光層/電子輸送層の順に形成されるが、正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層のような構造でも良い。本発明では公知のいずれの構造を用いても良いし、EL層に対して蛍光性色素等をドーピングしても良い。

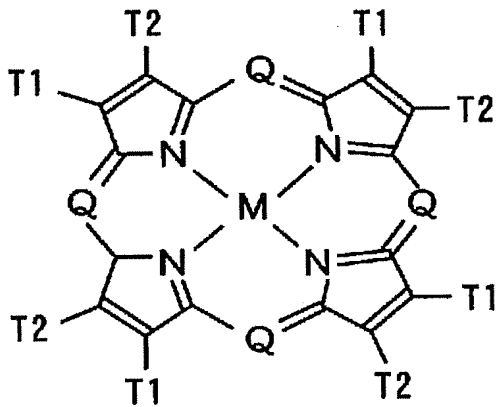
【0051】有機EL材料としては、例えば、以下の米

国特許又は公開公報に開示された材料を用いることができる。米国特許第4,356,429号、米国特許第4,539,507号、米国特許第4,720,432号、米国特許第4,769,292号、米国特許第4,885,211号、米国特許第4,950,950号、米国特許第5,059,861号、米国特許第5,047,687号、米国特許第5,073,446号、米国特許第5,059,862号、米国特許第5,061,617号、米国特許第5,151,629号、米国特許第5,294,869号、米国特許第5,294,870号、特開平10-189525号公報、特開平8-241048号公報、特開平8-78159号公報。

【0052】具体的には、正孔注入層としての有機材料は次のような一般式で表されるものを用いることができる。

【0053】

【化1】

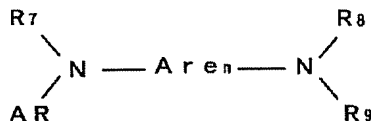


【0054】ここでQはN又はC-R（炭素鎖）であり、Mは金属、金属酸化物又は金属ハロゲン化物であり、Rは水素、アルキル、アラルキル、アリル又はアルカリルであり、T1、T2は水素、アルキル又はハロゲンのような置換基を含む不飽和六員環である。

【0055】また、正孔輸送層としての有機材料は芳香族第三アミンを用いることができ、好ましくは次のような一般式で表されるテトラアリルジアミンを含む。

【0056】

【化2】



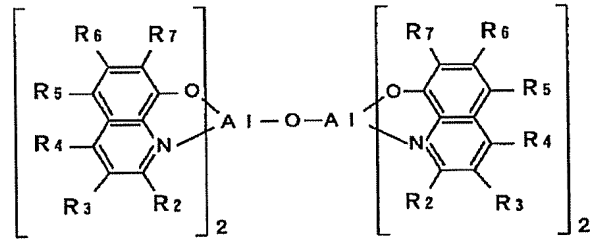
【0057】ここでAreはアリレン群であり、nは1から4の整数であり、Ar、R7、R8、R9はそれぞれ選択されたアリル群である。

【0058】また、EL層、電子輸送層又は電子注入層としての有機材料は金属オキシノイド化合物を用いることができる。金属オキシノイド化合物としては以下のよ

うな一般式で表されるものを用いれば良い。

【0059】

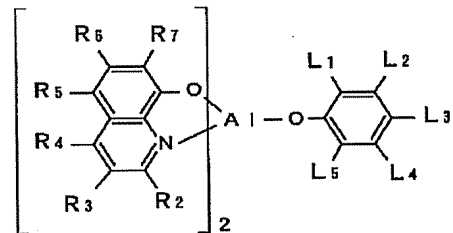
【化3】



【0060】ここでR2-R7は置き換え可能であり、次のような金属オキシノイド化合物を用いることもできる。

【0061】

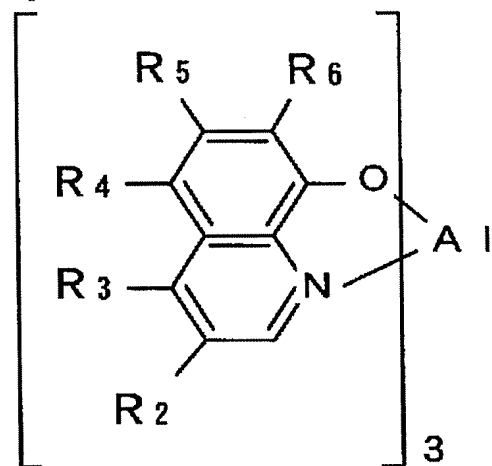
【化4】



【0062】ここでR2-R7は上述の定義によるものであり、L1-L5は1から12の炭素元素を含む炭水化物群であり、L1、L2又はL3、L4は共にベンゾ環を形成することができる。また、次のような金属オキシノイド化合物でも良い。

【0063】

【化5】



【0064】ここでR2-R6は置き換え可能である。このように有機EL材料としては有機リガンドを有する配位化合物を含む。但し、以上の例は本発明のEL材料として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。

【0065】また、EL材料としてポリマー系材料を用いても良い。代表的なポリマー系材料としては、ポリバ

ラフェニレンピニレン (PPV) 系やポリフルオレン系などの高分子材料が挙げられる。カラー化するには、例えば、赤色発光材料にはシアノポリフェニレンピニレン、緑色発光材料にはポリフェニレンピニレン、青色発光材料にはポリフェニレンピニレン及びポリアルキルフェニレンが好ましい。

【0066】なお、EL表示装置には大きく分けて四つのカラー化表示方式があり、R (赤) G (緑) B (青) に対応した三種類のEL素子を形成する方式、白色発光のEL素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のEL素子と蛍光体 (蛍光性の色変換層: CCM) とを組み合わせた方式、陰極 (対向電極) に透明電極を使用してRGBに対応したEL素子を重ねる方式、がある。

【0067】図1の構造はRGBに対応した三種類のEL素子を形成する方式を用いた場合の例である。なお、図1には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。しかし本発明は発光方式に関わらず実施することが可能であり、上記四つの全ての方式を本発明に用いることができる。

【0068】こうしてEL層52まで形成したら、その上に透明導電膜 (酸化物導電膜) でなる陽極53を形成する。膜厚は80~300nm (好ましくは100~200nm) とすれば良い。本発明の場合、EL層で発生した光は図1の上方向 (基板と反対側の方向) に出力されるので陽極53はEL層52から発した光に対して透明でなければならない。

【0069】なお、本明細書中では、陰極51 (画素電極49と併せて陰極と考えても良い)、EL層52及び陽極53で形成される発光素子をEL素子と呼ぶ。図1においてEL素子は符号203で示す。

【0070】また、54は第2パッシベーション膜であり、膜厚は10nm~1μm (好ましくは200~500nm) とすれば良い。第2パッシベーション膜54を設ける目的は、EL層52を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにEL層は熱に弱いので、なるべく低温 (好ましくは室温から120℃までの温度範囲) で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法 (スピンコーティング法) が望ましい成膜方法と言える。

【0071】こうして図1に示すような構造の画素部が完成する。本発明の画素部はnチャネル型TFT204とpチャネル型TFT205とでなるCMOS回路が画素電極49の下に形成されており、このCMOS回路を基本単位として様々な素子、駆動回路又は信号処理部が形成される。なお、図1は一画素に一つCMOS回路が

形成されているという意味ではなく、画素内に駆動回路など従来画素部の周辺に設けられていた回路が形成されることを意味している。

【0072】従って、従来、画素部の周辺に設けられていた素子、駆動回路又は信号処理部は、各画素において画素電極の下に形成されたTFTで形成され、全体として画素部の内部 (画素部の内側) に形成される。

【0073】なお、本発明の主旨は、基板と反対側に光を出力させるEL表示装置において、従来、画素部の周辺に設けられていた回路又は素子を、画素部内のデッドスペース (画素電極の下) に配置し、基板面積の有効活用を図る点にある。従って、図1のTFT構造に限定されるものではない。

【0074】〔実施例1〕本発明の実施例について図2~図5を用いて説明する。ここでは、図1に示した画素部を作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位であるCMOS回路を図示することとする。

【0075】まず、図2 (A) に示すように、下地膜 (図示せず) を表面に設けた基板501を用意する。本実施例では結晶化ガラス上に下地膜として100nm厚の窒化酸化珪素膜を200nm厚の窒化酸化珪素膜とを積層して用いる。この時、結晶化ガラス基板に接する方の窒素濃度を10~25wt%としておく和良好的。勿論、下地膜を設けずに石英基板上に直接素子を形成しても良い。

【0076】次に基板501の上に45nmの厚さのアモルファスシリコン膜502を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜 (微結晶半導体膜を含む) であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0077】ここから図2 (C) までの工程は本出願人による特開平10-247735号公報を完全に引用することができる。同公報ではNi等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0078】まず、開口部503a、503bを有する保護膜504を形成する。本実施例では150nm厚の酸化珪素膜を用いる。そして、保護膜504の上にスピコート法によりニッケル (Ni) を含有する層 (Ni含有層) 505を形成する。このNi含有層の形成に関しては、前記公報を参考にすれば良い。

【0079】次に、図2 (B) に示すように、不活性雰囲気中で570℃14時間の加熱処理を加え、アモルファスシリコン膜502を結晶化する。この際、Niが接した領域 (以下、Ni添加領域という) 506a、506bを起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなるポリシリコン膜507が形成される。

【0080】次に、図2(C)に示すように、保護膜505をそのままマスクとして15族に属する元素(好ましくはリン)をNi添加領域506a、506bに添加する。こうして高濃度にリンが添加された領域(以下、リン添加領域という)508a、508bが形成される。

【0081】次に、図2(C)に示すように、不活性雰囲気中で600℃12時間の加熱処理を加える。この熱処理によりポリシリコン膜507中に存在するNiは移動し、最終的には殆ど全て矢印が示すようにリン添加領域508a、508bに捕獲されてしまう。これはリンによる金属元素(本実施例ではNi)のゲッターリング効果による現象であると考えられる。

【0082】この工程によりポリシリコン膜509中に残るNiの濃度はSIMS(質量二次イオン分析)による測定値で少なくとも 2×10^{17} atoms/cm³にまで低減される。Niは半導体にとってライフタイムキラーであるが、この程度まで低減されるとTFT特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状のSIMS分析の測定限界であるので、実際にはさらに低い濃度(2×10^{17} atoms/cm³以下)であると考えられる。

【0083】こうして触媒を用いた結晶化され、且つ、その触媒がTFTの動作に支障を与えないレベルにまで低減されたポリシリコン膜509が得られる。その後、このポリシリコン膜509を用いた活性層510~513をパターニング工程により形成する。なお、この時、後のパターニングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。(図2(D))

【0084】次に、図2(E)に示すように、50nm厚の窒化酸化シリコン膜をプラズマCVD法により形成し、その上で酸化雰囲気中で950℃1時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【0085】この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、約15nm厚のポリシリコン膜が酸化されて約30nm厚の酸化シリコン膜が形成される。即ち、30nm厚の酸化シリコン膜と50nm厚の窒化酸化シリコン膜が積層されてなる80nm厚のゲート絶縁膜514が形成される。また、活性層510~513の膜厚はこの熱酸化工程によって30nmとなる。

【0086】次に、図3(A)に示すように、レジストマスク515を形成し、ゲート絶縁膜514を介してp型を付与する不純物元素(以下、p型不純物元素という)を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程(チャネルドープ工程という)はTFTのしきい値電圧を制御するための工程

である。

【0087】なお、本実施例ではジボラン(B₂H₆)を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm³(代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³)の濃度でボロンを含む不純物領域516~518が形成される。

【0088】次に、図3(B)に示すように、レジストマスク519a、519bを形成し、ゲート絶縁膜514を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH₃)を質量分離しないでプラズマ励起したプラズマドープ法を用い、リンを 1×10^{18} atoms/cm³の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0089】この工程により形成されるn型不純物領域520、521には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³(代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³)の濃度で含まれるようにドーズ量を調節する。

【0090】次に、図3(C)に示すように、添加されたn型不純物元素及びp型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜514が設けられているので電熱炉を用いたファーンেসアニール処理が好ましい。また、図6(A)の工程でチャネル形成領域となる部分の活性層/ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

【0091】本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を800℃1時間のファーンেসアニール処理により行う。なお、処理雰囲気を酸化性雰囲気にして熱酸化を行っても良いし、不活性雰囲気中で加熱処理を行っても良い。

【0092】この工程によりn型不純物領域520、521の端部、即ち、n型不純物領域520、521の周囲に存在するn型不純物元素を添加していない領域(図3(A)の工程で形成されたp型不純物領域)との境界部(接合部)が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0093】次に、200~400nm厚の導電膜を形成し、パターニングしてゲート電極522~525を形成する。なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。(図3(D))

【0094】具体的には、タンタル(Ta)、チタン

(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、導電性を有するシリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物でなる膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層して用いても良い。

【0095】本実施例では、50nm厚の窒化タングステン(WN)膜と、350nm厚のタングステン(W)膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜のはがれを防止することができる。

【0096】またこの時、ゲート電極523、525はそれぞれn型不純物領域520、521の一部とゲート絶縁膜514を挟んで重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極524は断面では二つに見えるが、実際は電氣的に接続されている。

【0097】次に、図4(A)に示すように、ゲート電極522~525をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成される不純物領域526~532にはn型不純物領域520、521の1/2~1/10(代表的には1/3~1/4)の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³(典型的には $3 \times 10^{17} \sim 3 \times 10^{18}$ atoms/cm³)の濃度が好ましい。

【0098】次に、図4(B)に示すように、ゲート電極等を覆う形でレジストマスク533a~533dを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域534~540を形成する。ここでもフォスフィン(PH₃)を用いたイオンドーピング法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³(代表的には $2 \times 10^{20} \sim 5 \times 10^{20}$ atoms/cm³)となるように調節する。

【0099】この工程によってnチャネル型TFETのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFETは、図4(A)の工程で形成したn型不純物領域529~531の一部を残す。この残された領域が、図1におけるスイッチング用TFETのLDD領域15a~15dに対応する。

【0100】次に、図4(C)に示すように、レジストマスク533a~533dを除去し、新たにレジストマスク541を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域542、543を形成する。ここではジボラン(B₂H₆)を用いたイオンドーピング法により $3 \times 10^{20} \sim 3 \times$

10^{21} atoms/cm³(代表的には $5 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³)の濃度となるようにボロンを添加する。

【0101】なお、不純物領域542、543には既に $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

【0102】次に、図4(D)に示すように、レジストマスク541を除去した後、第1層間絶縁膜544を形成する。第1層間絶縁膜544としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm~1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0103】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0104】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0105】なお、水素化処理は第1層間絶縁膜544を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

【0106】次に、図5(A)に示すように、第1層間絶縁膜544に対してコンタクトホールを形成し、ソース配線545~548と、ドレイン配線549~551を形成する。なお、本実施例ではこの電極を、チタン膜を100nm、チタンを含むアルミニウム膜を300nm、チタン膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0107】次に、50~500nm(代表的には200~300nm)の厚さで第1パッシベーション膜552を形成する。本実施例では第1パッシベーション膜552として300nm厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

【0108】この時、窒化酸化シリコン膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜544に供給され、熱処理を行うことで、第1パッシベーション膜552の膜質が改善される。それと同時に、第1層間絶縁膜544に添加され

た水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0109】次に、図5(B)に示すように、有機樹脂からなる第2層間絶縁膜553を形成する。有機樹脂としてはポリイミド、アクリル、BCB(ベンゾシクロブテン)等を使用することができる。特に、第2層間絶縁膜553はTFEが形成する段差を平坦化する必要があるため、平坦性に優れたアクリル膜が好ましい。本実施例では2.5μmの厚さでアクリル膜を形成する。

【0110】次に、第2層間絶縁膜553、第1パッシベーション膜552にドレイン配線551に達するコンタクトホールを形成し、画素電極554を形成する。本実施例では画素電極554として200nm厚のアルミニウム合金膜(1wt%のチタンを含有したアルミニウム膜)を形成する。

【0111】次に、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500nmの厚さに形成し、画素電極554に対応する位置に開口部を形成して第3層間絶縁膜555を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることができ、開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまう。

【0112】次に、陰極(MgAg電極)556及びEL層557を、真空蒸着法を用いて大気解放しないで連続形成する。なお、陰極556の膜厚は180~300nm(典型的には200~250nm)、EL層557の厚さは80~200nm(典型的には100~120nm)とすれば良い。

【0113】この工程では、まず赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次陰極556を形成する。このとき、陰極556をパターンニングするとなると大気解放しなくてはならず、次に形成するEL層との連続形成ができなくなってしまう。そのため、陰極556はメタルマスク等を用いた真空蒸着法により成膜時に物理的にパターン化することが望ましい。

【0114】そして各画素に設けられた陰極556を覆うような形で真空蒸着法により各色に発光するEL層557を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いず各色個別に形成しなくてはならない。そこでメタルマスク等を用いて所望の画素以外を隠して選択的に形成する。

【0115】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL

層及び陰極を選択的に形成する。なお、ここでは異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0116】本実施例のように真空蒸着法を用いて成膜時にパターン化されるような形成方法とすれば、陰極556とEL層557を大気解放しないで連続的に形成することが可能となり、EL素子の発光効率を高めることができる。

【0117】なお、EL層557としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とすれば良い。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料であっても良い。

【0118】次に、EL層557を覆って透明導電膜でなる陽極558を形成する。本実施例では酸化インジウム・スズ(ITO)膜を110nmの厚さに形成し、パターンニングを行って陽極とする。また、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電膜や酸化スズを用いても良い。

【0119】最後に、窒化珪素膜でなる第2パッシベーション膜559を300nmの厚さに形成する。この第2パッシベーション膜559によりEL層557を水分等から保護する。また、EL層557で発生した熱を逃がす役割も果たす。

【0120】こうして図5(C)に示すような構造のアクティブマトリクス型EL表示装置が完成する。なお、本実施例の作製工程は一例に過ぎない。例えば、本実施例では特開平10-247735号公報に記載された手段で活性層となる半導体膜を形成しているが、他の公知の手段を用いても構わない。

【0121】また、LDD領域の配置等は好ましい一例を示したものであり、本実施例の構造に限定する必要はない。但し、活性層としてポリシリコン膜を用いる場合は信頼性を高め、且つ、ポリシリコン膜を活性層として用いる利点を生かす上でも本実施例の構造が好ましい。

【0122】〔実施例2〕実施例1に従って図5(C)まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)やセラミックス製シーリングカンなどのハウジング材でパッケージング(封入)することが好ましい。その際、ハウジング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置することでEL層の信頼性(寿命)が向上する。

【0123】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクター(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷できる

状態にまでした E L 表示装置を本明細書中では E L モジュールという。

【0124】ここで本発明の E L モジュールの構成を図 7 (A)、(B) を用いて説明する。基板 701 上には画素部 702、ゲート信号側駆動回路 703、データ信号側駆動回路 704、信号処理部 (分周波回路、昇圧回路など、駆動回路以外の回路群) 705 が形成されている。本発明ではゲート信号側駆動回路 703、データ信号側駆動回路 704、又は信号処理部 705 が画素部の内部 (内側) に形成されている。また、図示されないが 10 それぞれの駆動回路又は信号処理部からの各種配線は F P C 706 に至り外部機器へと接続される。

【0125】このとき画素部を囲むようにしてハウジング材 707 を設ける。なお、ハウジング材 707 は画素部 702 の外寸 (高さ) よりも内寸 (奥行き) が大きい凹部を有する形状又はシート形状であり、透明な部材で形成される。

【0126】また、ハウジング材 707 は図 7 (B) に示すように接着剤 708 によって、基板 701 と共同して密閉空間 709 を形成するようにして基板 701 に固 20 着される。このとき、E L 素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。なお、ハウジング材 707 は複数設けても構わない。

【0127】また、ハウジング材 707 の材質はガラス、ポリマー等の絶縁性物質が好ましい。例えば、非晶質ガラス (硼硅酸塩ガラス、石英等)、結晶化ガラス、セラミックスガラス、有機系樹脂 (アクリル系樹脂、スチレン系樹脂、ポリカーボネート系樹脂、エポキシ系樹脂等)、シリコン系樹脂が挙げられる。

【0128】また、接着剤 708 の材質は、エポキシ系 30 樹脂、アクリレート系樹脂等の接着剤を用いることが可能である。さらに、熱硬化性樹脂や光硬化性樹脂を接着剤として用いることもできる。但し、可能な限り酸素、水分を透過しない材質であることが必要である。

【0129】さらに、ハウジング材 707 と基板 701 との間の空隙 709 は不活性ガス (アルゴン、ヘリウム、窒素等) を充填しておくことが望ましい。また、ガスに限らず不活性液体 (パーフルオロアルカンに代表されるの液状フッ素化炭素等) を用いることも可能である。不活性液体に関しては特開平 8-78519 号で用 40 いられているような材料で良い。

【0130】また、空隙 709 に乾燥剤を設けておくことも有効である。乾燥剤としては特開平 9-148066 号公報に記載されているような材料を用いることができる。典型的には酸化バリウムを用いれば良い。

【0131】また、画素部には個々に孤立した E L 素子を有する複数の画素が設けられ、それらは全て陽極 710 を共通電極として有している。陽極 710 は 711 で示される領域において、画素電極と同一材料でなる接続配線 712 を介して入出力配線 713 に接続される。入 50

出力配線 713 は陽極 710 に所定の電圧を与えるための配線であり、導電性ペースト 714 を介して F P C 706 に接続される。

【0132】ここで領域 711 におけるコンタクト構造を実現するための作製工程について図 8 を用いて説明する。

【0133】まず、実施例 1 の工程に従って図 5 (A) の状態を得る。このとき、基板端部にあるコンタクト部 (図 7 (B) において 711 で示される領域) において第 1 層間絶縁膜 544 及びゲート絶縁膜 514 を除去し、その上に入出力配線 713 を形成する。勿論、図 5 (A) のソース配線やドレイン配線と同時に形成される。(図 8 (A))

【0134】次に、図 5 (B) において第 2 層間絶縁膜 553 及び第 1 パッシベーション膜 552 をエッチングする際に、801 で示される領域を除去し、且つ開孔部 802 を形成する。そして、開孔部 802 を覆うようにして接続配線 712 を形成する。勿論、この接続配線 712 は図 5 (B) において画素電極 554 と同時に形成される。(図 8 (B))

【0135】この状態で画素部では E L 素子の形成工程 (第 3 層間絶縁膜、陰極及び E L 層の形成工程) が行われる。この際、図 8 に示される領域ではマスク等を用いて第 3 層間絶縁膜や E L 素子が形成されないようにする。そして、E L 層 557 を形成した後、別のマスクを用いて陽極 558 を形成する。これにより陽極 558 と入出力配線 713 とが接続配線 712 を介して電氣的に接続される。さらに、第 2 パッシベーション膜 559 を設けて図 8 (C) の状態を得る。

【0136】以上の工程により図 7 (B) の 711 で示される領域のコンタクト構造が実現される。そして、入出力配線 713 はハウジング材 707 と基板 701 との隙間 (但し接着剤 708 で充填されている。即ち、接着剤 708 は入出力配線の段差を十分に平坦化しうる厚さが必要である。) を通って F P C 706 に接続される。なお、接着剤 708 が設けられる部分はハウジング材 707 と基板 701 とで圧迫されるため、素子や回路が存在すると破壊される可能性があるが、図 7 (B) のように配線が通っているだけならば問題はない。

【0137】なお、本実施例に示したアクティブマトリクス型 E L 表示装置の作製方法は実施例 1 に従えば良い。

【0138】〔実施例 3〕本実施例では本発明のアクティブマトリクス型 E L 表示装置における画素部の断面構造について図 10 を用いて説明する。なお、図 10 において図 1 と同一の部分に関しては図 1 と同一の符号を引用する。

【0139】図 10 において、1001 は電流供給線であり、電流制御用 T F T (図示せず) のソース領域へと接続されている。また、1002 はデータ配線であり、

スイッチング用 T F T (図示せず) のソース領域に接続されている。

【0140】ゲート配線と平行な方向において隣接する画素間には、上記電流供給線 1001 とデータ配線 1002 とが存在する。従って、異なる画素内に形成された駆動回路用 T F T (駆動回路の一部を形成する T F T) を相互に接続するためには、電流供給線 1001 とデータ配線 1002 とをまたぐことになる。

【0141】この場合、本実施例に示すような方法が挙げられる。一つ目は、ゲート電極 39、43 と同時に第 1 接続配線 1003 を形成し、この第 1 接続配線 1003 によりデータ配線等の下をくぐる方式である。本実施例では電流供給線 1001 と CMOS 回路 1000b とを接続するためにこの方式を用いている。

【0142】また、二つ目は第 2 接続配線 1004 を形成し、この第 1 接続配線 1004 により電流供給線 1001 及び/又はデータ配線 1002 をまたぐ方式である。本実施例では CMOS 回路 1000a と CMOS 回路 1000b とを接続するためにこの方式を用いている。

【0143】この場合、図 5 (B) の工程において、第 2 層間絶縁膜 553 にコンタクトホールを開けた後に、画素電極ではなく第 2 接続配線 1004 を形成すれば良い。そして、次に第 2 接続配線 1004 を覆う層間絶縁膜を形成し、コンタクトホールを開けて画素電極を形成すれば良い。

【0144】なお、本実施例では電流供給線 1001 及びデータ配線 1002 が同一の層で形成されているが、別々の層であっても良い。即ち、電流供給線 1001 又はデータ配線 1002 を、図 10 の第 2 接続配線 1004 の層に形成すれば良い。その場合、電流供給線及びデータ配線を超えるには、ゲート配線と同一の層で第 2 接続配線を形成すれば良い。

【0145】以上のように、本実施例では電流供給線及びデータ配線とは異なる層に形成された接続配線を用い、それにより上記電流供給線及びデータ配線を乗り越える点に特徴がある。本実施例の接続配線としては、ゲート配線と同一の配線、又はデータ配線と画素電極との間の層に設けた配線を用いることができる。

【0146】なお、本実施例の構成は、実施例 1 を参照すれば容易に作製することができる。また、実施例 2 に示した E L 表示装置に本実施例の構成を組み合わせることは可能である。

【0147】〔実施例 4〕本実施例では、実施例 3 の構成を用いて画素内に駆動回路を形成した場合の例について説明する。具体的には、画素部の内部 (内側) にシフトレジスタを形成した例について示す。

【0148】図 11 (A) は画素部のある一画素を拡大した上面図、図 11 (B) はその回路図である。スイッチング用 T F T 201 と電流制御用 T F T 202 は図 1

の同符号の T F T に相当する。1101 は保持容量であり、電流制御用 T F T 202 のゲートにかかる電圧を 1 フレーム期間保持する役割を果たす。但し、スイッチング用 T F T 201 をマルチゲート構造として T F T のオフ電流を極力低減すれば、保持容量 1101 を省略することも可能である。

【0149】本実施例ではこの保持容量 1101 を電流制御用 T F T 202 のゲート電極と電流供給線 1102 との間で形成している。勿論、電流制御用 T F T のソース領域と電流制御用 T F T 202 のゲート電極 (ゲート配線も含む) との間で容量を形成しても良い。

【0150】また、画素内にはシフトレジスタの一部 (フリップフロップ回路) が示されており、インバータ 1103、クロックドインバータ 1104、1105 の三つで一つのフリップフロップ回路を形成している。実際のシフトレジスタはこのフリップフロップ回路が直列に接続されている。

【0151】また、Vg はゲート信号、Vs はソース信号 (データ信号)、Vdd1 (電流供給線 1102) は E L 素子 203 の陰極に与える陰極信号、Vck はクロック信号 (Vck の上にバーが付してあるものは Vck の反転信号を意味する)、Vdd2 はクロックドインバータの正側信号、Vdd3 はクロックドインバータの負側信号である。なお、本実施例では Vdd1 には接地電位が与えられる。

【0152】本実施例のような構造では、一画素に一つのフリップフロップ回路が形成され、隣接する画素内に設けられて別のフリップフロップ回路と直列に接続される。そして、Vck 等が画素間をまたぐ時、図 10 において 1004 で示したような接続配線 1106 ~ 1115 を用いれば良い。

【0153】なお、接続配線 1114、1115 はデータ配線や電流供給線と同時に形成しても良い。即ち、交差する際に同一層でなければ問題はなく、ある配線が他の配線をまたぐ時に他の配線をどの層で形成するかは実施者が適宜設計すれば良い。

【0154】なお、本実施例の構成は、実施例 1 ~ 3 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0155】〔実施例 5〕本実施例では、アクティブマトリクス型 E L 表示装置の画素構造を実施例 4 とは異なる構造とした場合の一例を説明する。具体的には、図 11 に示した画素構造において、ゲート配線の材料を異なるものとした例を図 12 に示す。なお、図 12 は図 11 の構造とほぼ同じであるので異なる部分だけを説明する。

【0156】なお、本実施例ではスイッチング用 T F T をトリプルゲート構造としてオフ電流を 10pA 以下 (好ましくは 1pA 以下) にしている。そのため、図 11 に示した保持容量 1101 は省略している。

【0157】図 12 において、61a ~ 61c は実施例 1

のゲート電極と同様に窒化タングステン膜とタングステン膜の積層膜で形成されたゲート電極である。これらは図 12 に示すように各々孤立したパターンとしても良いし、各々電氣的に接続されたパターンとしても良いが、形成された時点では電氣的にフローティング状態にある。

【0158】ゲート電極 61a~61c としては窒化タンタル膜とタンタル膜の積層膜やモリブデンとタングステンの合金膜など他の導電膜を用いても良い。しかしながら、3 μm 以下（好ましくは 2 μm 以下）の微細な線幅を形成しうる加工性に優れた膜であることが望ましい。また、ゲート絶縁膜を拡散して活性層中へ侵入するような元素を含む膜でないことが望ましい。

【0159】これに対して、ゲート配線 62 としてゲート電極 61a~61c よりも低抵抗な導電膜、代表的にはアルミニウムを主成分とする合金膜や銅を主成分とする合金膜を用いる。ゲート配線 62 には特に微細な加工性は要求されない。また、活性層と重なることもないので絶縁膜中を拡散しやすいアルミニウムや銅を含んでいても問題とはならない。

【0160】本実施例の構造とする場合、実施例 1 の図 4 (D) の工程において第 1 層間絶縁膜 544 を形成する前に活性化工程を行えば良い。この場合、ゲート電極 61a~61c が露呈した状態で熱処理を加えることになるが、十分に不活性な雰囲気、好ましくは酸素濃度が 1 ppm 以下である不活性雰囲気中で熱処理を行う分にはゲート電極 61a~61c が酸化されることはない。即ち、酸化により抵抗値が増加することもないし、除去の困難は絶縁膜（酸化膜）で覆われてしまうようなこともない。

【0161】そして、活性化工程が終了したら、アルミニウム又は銅を主成分とする導電膜を形成し、パターンニングによりゲート配線 62 を形成すればよい。この時点でゲート電極 61a~61c とゲート配線 62 との接触する部分では良好なオーミックコンタクトが確保され、ゲート電極 61a~61c に所定のゲート電圧を加えることが可能となる。

【0162】本実施例のような構造によってゲート配線の配線抵抗を極力低減することは、配線遅延を低減する上で非常に有効である。なお、本実施例において図 12 に示した画素構造は本発明を何ら限定するものではなく、好ましい一例に過ぎない。また、本実施例は、実施例 1~3 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0163】〔実施例 6〕図 1 に示した構造において、活性層と基板 11 との間に設けられる下地膜 12 として、放熱効果の高い材料を用いることは有効である。特に電流制御用 TFT は長時間に渡って比較的多くの電流を流すことになるため発熱しやすく、自己発熱による劣化が問題となりうる。そのような場合に、本実施例のように下地膜が放熱効果を有することで TFT の熱劣化を

抑制することができる。

【0164】放熱効果をもつ透光性材料としては、B（ホウ素）、C（炭素）、N（窒素）から選ばれた少なくとも一つの元素と、Al（アルミニウム）、Si（珪素）、P（リン）から選ばれた少なくとも一つの元素とを含む絶縁膜が挙げられる。

【0165】例えば、窒化アルミニウム (Al_xN_y) に代表されるアルミニウムの窒化物、炭化珪素 (Si_xC_y) に代表される珪素の炭化物、窒化珪素 (Si_xN_y) に代表される珪素の窒化物、窒化ホウ素 (B_xN_y) に代表されるホウ素の窒化物、リン化ホウ素 (B_xP_y) に代表されるホウ素のリン化物を用いることが可能である。また、酸化アルミニウム (Al_xO_y) に代表されるアルミニウムの酸化物は透光性に優れ、熱伝導率が $20\text{ Wm}^{-1}\text{ K}^{-1}$ であり、好ましい材料の一つと言える。なお、上記透光性材料において、x、y は任意の整数である。

【0166】また、上記化合物に他の元素を組み合わせることもできる。例えば、酸化アルミニウムに窒素を添加して、 $\text{Al}_x\text{N}_x\text{O}_y$ で示される窒化酸化アルミニウムを用いることも可能である。この材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。なお、上記窒化酸化アルミニウムにおいて、x、y は任意の整数である。

【0167】また、特開昭 62-90260 号公報に記載された材料を用いることができる。即ち、Si、Al、N、O、M を含む絶縁膜（但し、M は希土類元素の少なくとも一種、好ましくは Ce（セリウム）、Yb（イッテルビウム）、Sm（サマリウム）、Er（エルビウム）、Y（イットリウム）、La（ランタン）、Gd（ガドリニウム）、Dy（ジスプロシウム）、Nd（ネオジウム）から選ばれた少なくとも一つの元素）を用いることもできる。これらの材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。

【0168】また、少なくともダイヤモンド薄膜又はアモルファスカーボン膜（特にダイヤモンドに特性の近いもの、ダイヤモンドライクカーボン等と呼ばれる。）を含む炭素膜を用いることもできる。これらは非常に熱伝導率が高く、放熱層として極めて有効である。但し、膜厚が厚くなると褐色を帯びて透過率が低下するため、なるべく薄い膜厚（好ましくは 5~100 nm）で用いることが好ましい。

【0169】また、上記放熱効果をもつ材料からなる薄膜を単体で用いることもできるが、これらの薄膜と、珪素を含む絶縁膜とを積層して用いても良い。

【0170】なお、本実施例の構成は、実施例 1~5 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0171】〔実施例 7〕実施例 1 では EL 層として有機 EL 材料を用いることが好ましいとしたが、本発明は

無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有するTFTを用いなければならない。

【0172】または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

【0173】また、本実施例の構成は、実施例1～6のいずれの構成とも自由に組み合わせることが可能である。

【0174】〔実施例8〕本発明を実施して形成されたアクティブマトリクス型EL表示装置（ELモジュール）は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れている。そのため本発明は直視型のELディスプレイ（ELモジュールを組み込んだ表示ディスプレイを指す）に対して実施することが可能である。ELディスプレイとしてはパソコンモニタ、TV放送受信モニタ、広告表示モニタ等が挙げられる。

【0175】また、本発明は上述のELディスプレイも含めて、表示ディスプレイを部品として含むあらゆる電子装置に対して実施することが可能である。

【0176】そのような電子装置としては、ELディスプレイ、ビデオカメラ、デジタルカメラ、頭部取り付け型ディスプレイ（ヘッドマウントディスプレイ等）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レーザーディスク（登録商標）（LD）又はデジタルバーサタイルディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。それら電子装置の例を図13に示す。

【0177】図13（A）はパーソナルコンピュータであり、本体2001、筐体2002、表示部2003、キーボード2004を含む。本発明は表示部2003に用いることができる。

【0178】図13（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106を含む。本発明を表示部2102に用いることができる。

【0179】図13（C）は頭部取り付け型のELディスプレイの一部（右片側）であり、本体2301、信号ケーブル2302、頭部固定バンド2303、表示モニタ2304、光学系2305、表示装置2306を含む。本発明は表示装置2306に用いることができる。

【0180】図13（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2401、記録媒体（CD、LDまたはDVD等）2402、操作スイッチ2403、表示部（a）2404、表示部

（b）2405を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明はこれら表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本発明を用いることができる。

【0181】図13（E）は携帯型（モバイル）コンピュータであり、本体2501、カメラ部2502、受像部2503、操作スイッチ2504、表示部2505を含む。本発明は表示部2505に用いることができる。

【0182】図13（F）はELディスプレイであり、筐体2601、支持台2602、表示部2603を含む。本発明は表示部2603に用いることができる。ELディスプレイは視野角が広いため液晶ディスプレイに比べて大画面化した場合において有利であり、対角10インチ以上（特に対角30インチ以上）のディスプレイにおいて有利である。

【0183】また、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0184】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子装置に適用することが可能である。また、本実施例の電子装置は実施例1～7のどのような組み合わせからなる構成を用いても実現することができる。

【0185】

【発明の効果】本発明を実施することにより基板と反対側に光を出力する動作をするアクティブマトリクス型EL表示装置において、画素部の内部（画素部と同一の領域）に駆動回路や他の信号処理部を形成することが可能となり、アクティブマトリクス型EL表示装置の小型化が実現される。

【0186】また、基板上に形成されるTFT自体も各回路又は素子が必要とする性能に併せて最適な構造のTFTを配置することで、信頼性の高いアクティブマトリクス型EL表示装置を実現している。

【0187】そして、そのようなアクティブマトリクス型EL表示装置を表示ディスプレイとして具備することで、小型で信頼性の高い高性能な電子装置を生産することが可能となる。

【図面の簡単な説明】

【図1】 EL表示装置の断面構造を示す図。

【図2】 EL表示装置の作製工程を示す図。

【図3】 EL表示装置の作製工程を示す図。

【図4】 EL表示装置の作製工程を示す図。

【図5】 EL表示装置の作製工程を示す図。

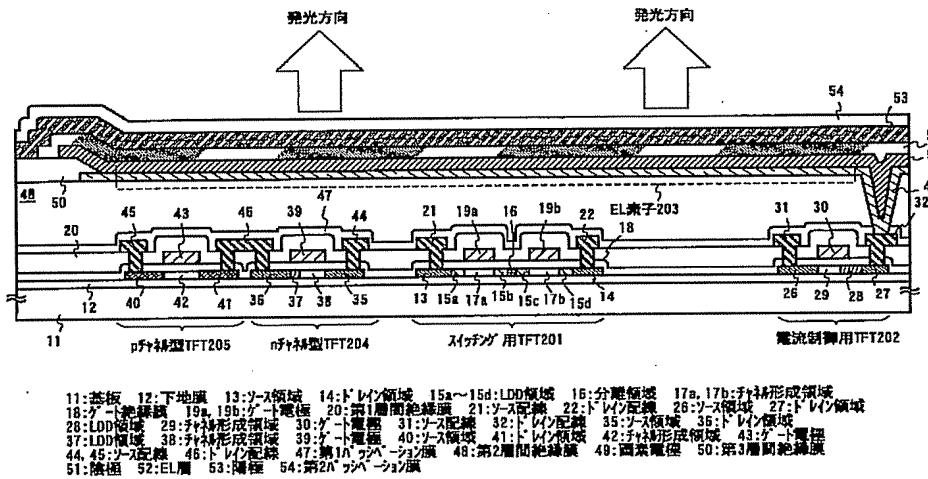
【図6】 EL表示装置の光の出力方向を説明するための図。

【図7】 ELモジュールの外観を示す図。

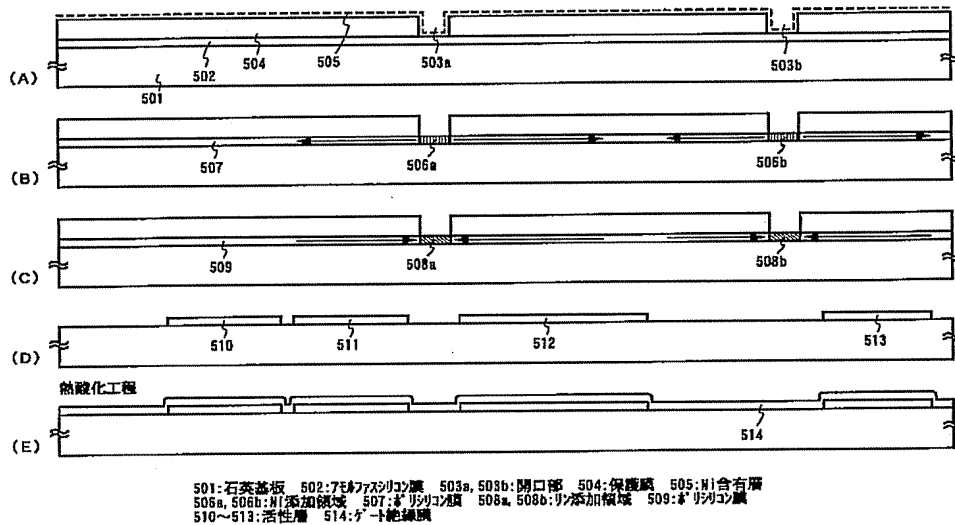
- 【図 8】 コンタクト構造の作製工程を示す図。
 【図 9】 EL 表示装置の画素部の構成を示す図。
 【図 10】 EL 表示装置の断面構造を示す図。
 【図 11】 EL 表示装置の画素部の上面構造を示す

- 図。
 【図 12】 EL 表示装置の画素部の上面構造を示す図。
 【図 13】 電子装置の具体例を示す図。

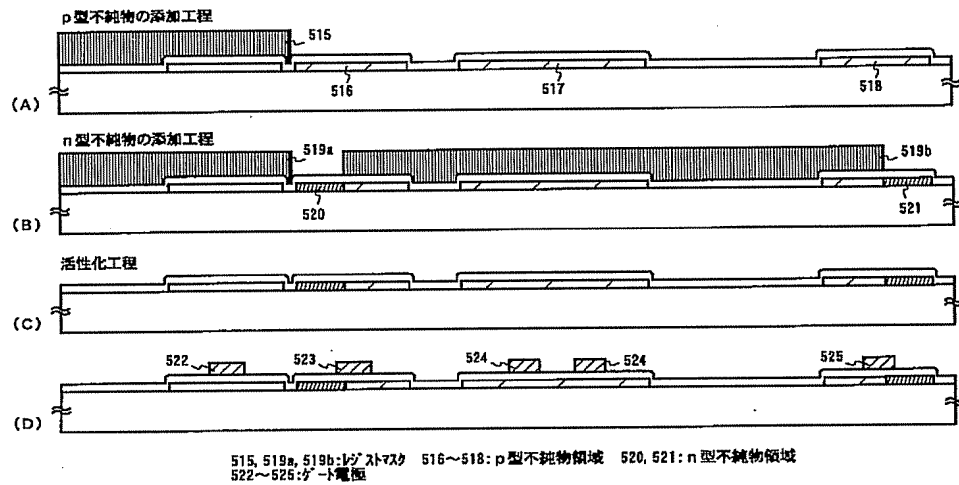
【図 1】



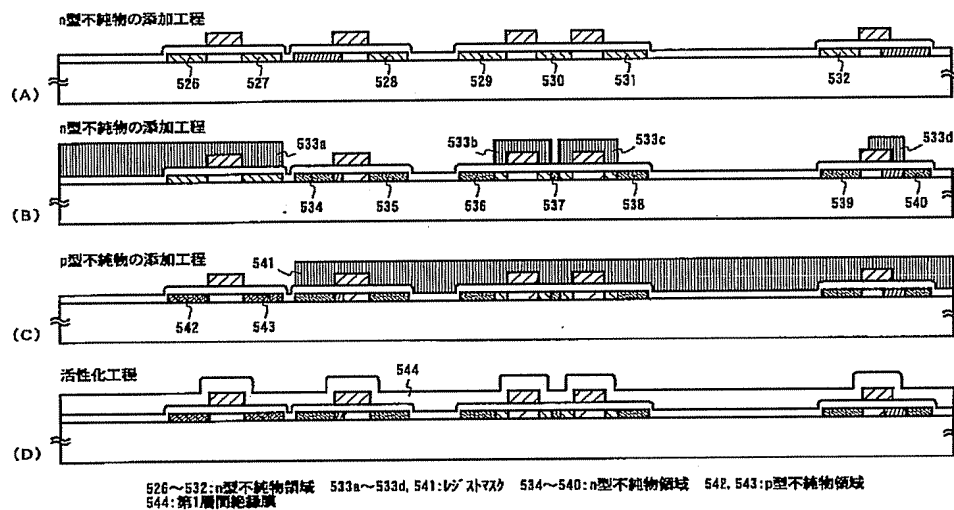
【図 2】



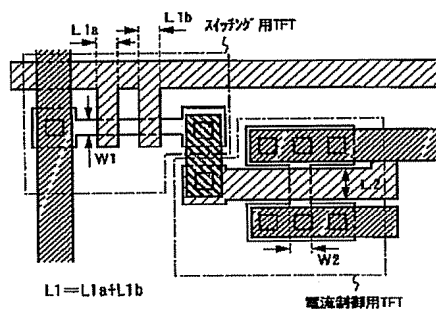
【図 3】



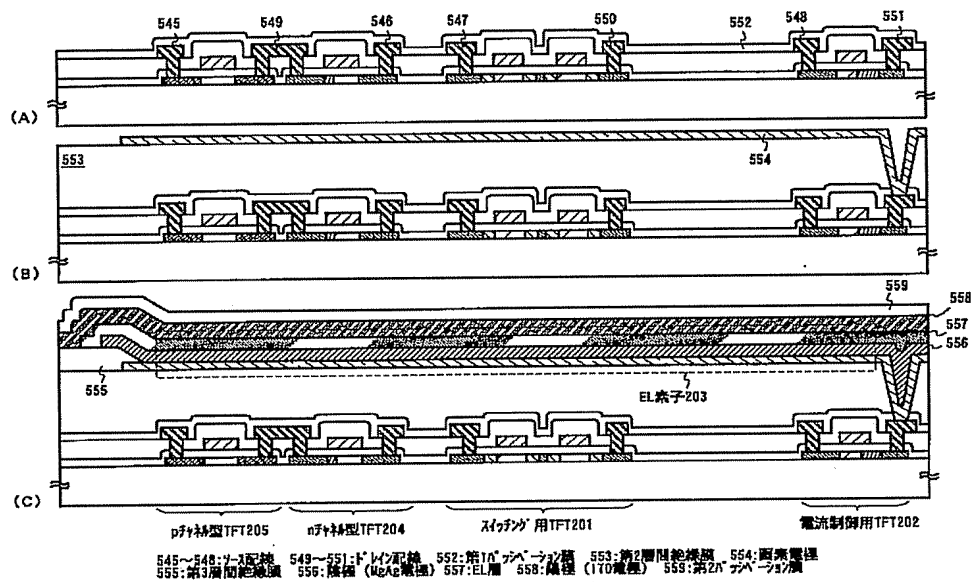
【図 4】



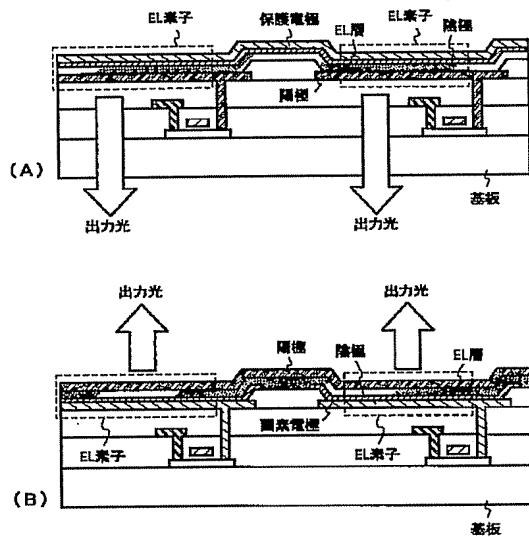
【図 9】



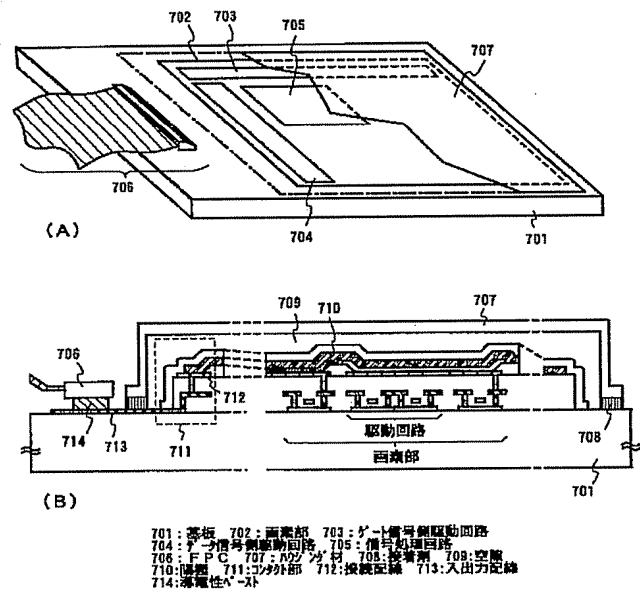
【図5】



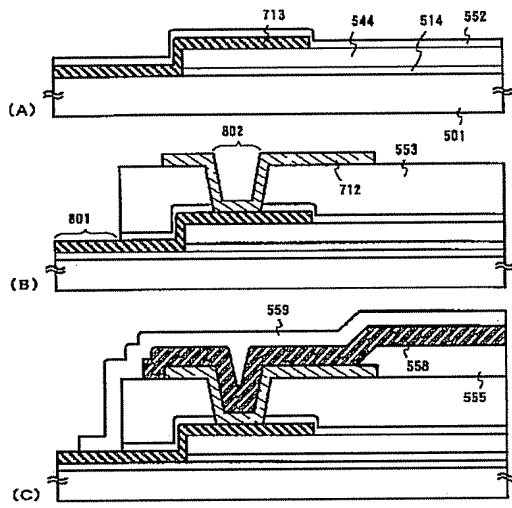
【図6】



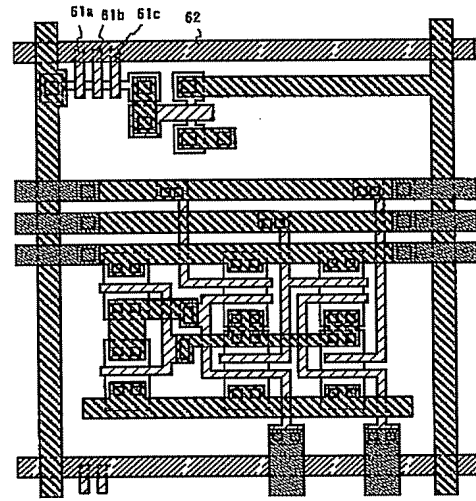
【図7】



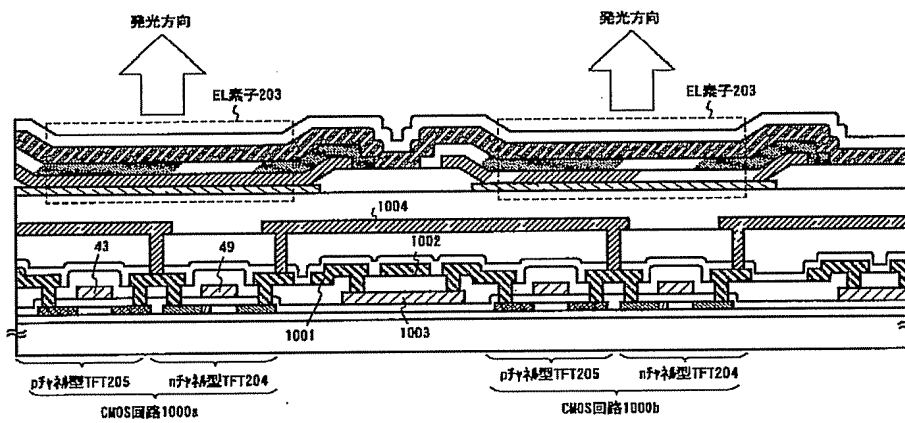
【図 8】



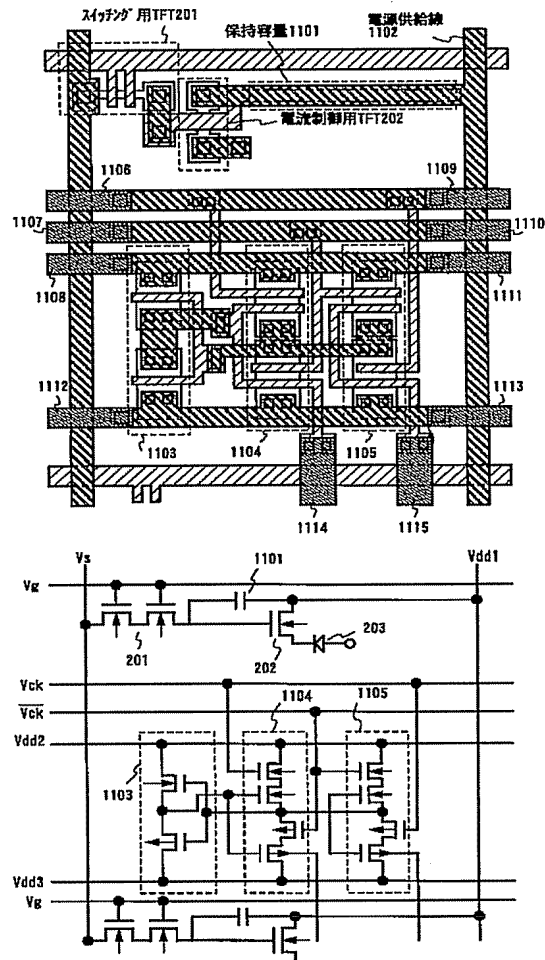
【図 12】



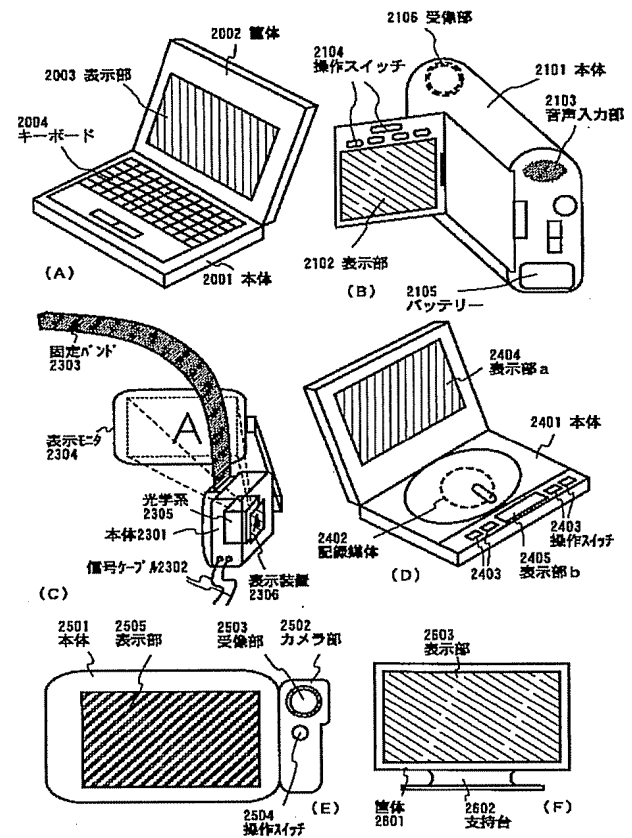
【図 10】



【図 11】



【図 13】



フロントページの続き

(51) Int. Cl.⁷

G 0 9 G 3/20

識別記号

6 2 3

6 8 0

3/30

H 0 5 B 33/14

F I

G 0 9 G 3/20

3/30

H 0 5 B 33/14

ターマコード (参考)

6 2 3 H

6 8 0 G

J

A